



(19)

(11) Publication number: 2000287137 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 11089333

(51) Intl. Cl.: H04N 5/335 G06T 1/00 H01L 27/146 H04N 1/028

(22) Application date: 30.03.99

(30) Priority:

(43) Date of application publication: 13.10.00

(84) Designated contracting states:

(71) Applicant: TOSHIBA CORP

(72) Inventor: SUGIKI TADASHI

(74) Representative:

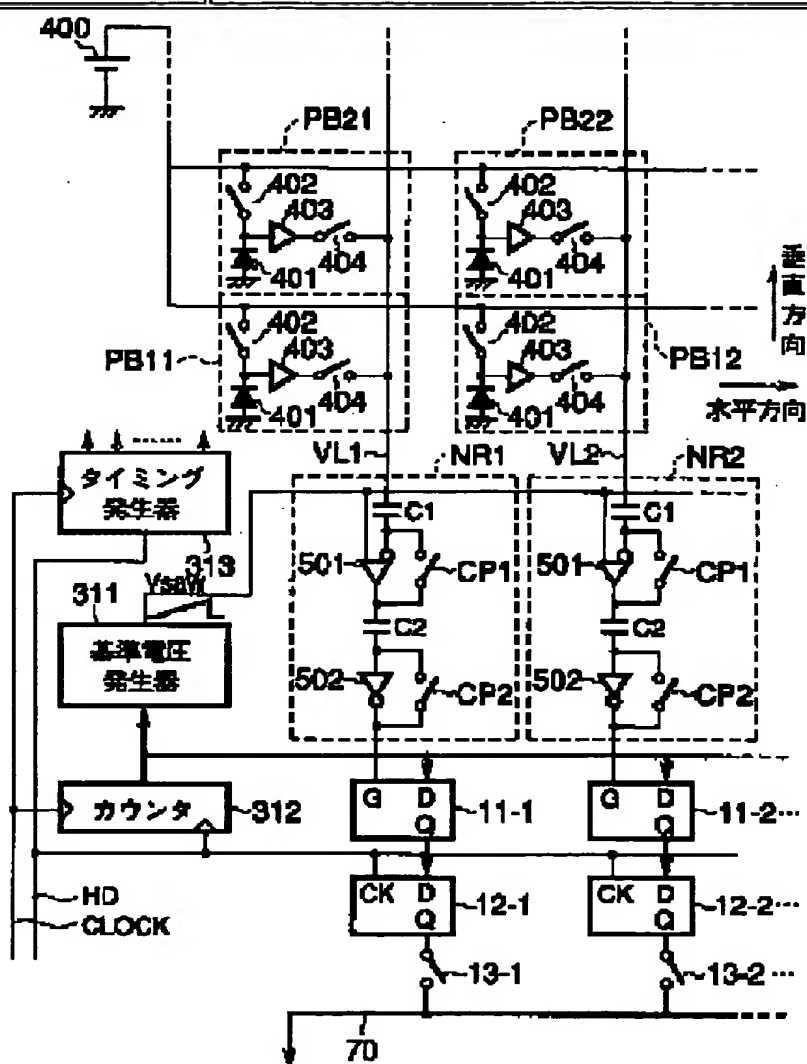
## (54) SOLID-STATE IMAGE PICKUP ELEMENT

(57) Abstract:

**PROBLEM TO BE SOLVED:** To enhance image quality by avoiding the occurrence of a difference in DC levels among signals for reading a plurality of pixels.

**SOLUTION:** In this solid-state image pickup element having a plurality of A/D converters to sequentially select outputs of the A/D converters and to obtain a digital video output, a noise cancel (comparison) section NR1 consists of a plurality of stages of amplifiers 501, 502 and a clamp circuit is provided to 2nd and succeeding stages of amplifiers 502.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-287137

(P2000-287137A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ページ・コード (参考)
H 0 4 N 5/335		H 0 4 N 5/335	Z 4 M 1 1 8
G 0 6 T 1/00		1/028	A 5 B 0 4 7
H 0 1 L 27/146		G 0 6 F 15/64	4 0 0 J 5 C 0 2 4
H 0 4 N 1/028		H 0 1 L 27/14	A 5 C 0 5 1

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平11-89333

(22) 出願日 平成11年3月30日 (1999. 3. 30)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 杉木 忠

神奈川県横浜市磯子区新杉田町8番地 株。

式会社東芝マルチメディア技術研究所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

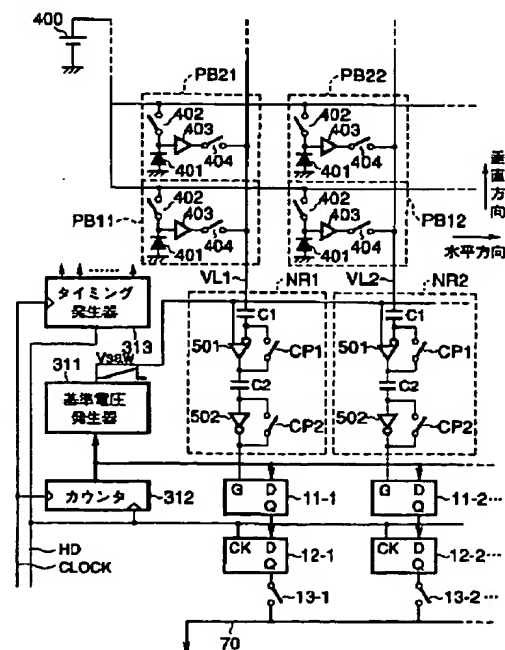
最終頁に続く

(54) 【発明の名称】 固体撮像素子

(57) 【要約】

【課題】複数の画素の読み出し信号の間で直流レベルの差が生じないようにし、画質向上を得る。

【解決手段】複数のアナログデジタル変換器を有し、前記アナログデジタル変換器の出力を順次選択し、デジタル映像出力を得る固体撮像素子において、ノイズキャンセル (比較) 部NR1を複数段の増幅器501, 502で構成するとともに、2段目以降の増幅器502にクランプ回路を設けた構成とする。



## 【特許請求の範囲】

【請求項 1】 複数のアナログデジタル変換器を有し、前記アナログデジタル変換器の出力を順次選択し、デジタル映像出力を得る固体撮像素子において、前記アナログデジタル変換器で使用する電圧比較部を複数段の増幅器で構成するとともに、2 段目以降の増幅器にクランプ回路を設けたことを特徴とする固体撮像素子。

【請求項 2】 前記複数段の増幅器の複数段にクランプ回路を設け、クランプ回路のオフ時のタイミングは後段のクランプ回路の方が遅いタイミングであることを特徴とする請求項 1 記載の固体撮像素子。

【請求項 3】 前記電圧比較部は、共通の基準電圧が与えられることを特徴とする請求項 1 記載の固体撮像素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、映像信号がデジタル信号で得られる固体撮像素子に関するもので、特に複数の AD 変換器を有した固体撮像素子であり、AD 変換器間の変換特性に生じるばらつきを低減できるようにしたものである。

## 【0002】

【従来の技術】固体撮像素子に有効なアナログデジタル変換器として、例えば特開平 9-238286 号公報に記載された技術がある。しかしながら、アナログデジタル変換特性としてさらなる改善が必要であることに本件発明者は注目するものである。

## 【0003】

【発明が解決しようとする課題】上記のアナログデジタル変換器は、まずカウンタを所定のタイミングでスタートし、このカウンタのカウント値に応じて変化する基準電圧を発生する。次に、各画素から取り出した信号電圧と前記基準電圧とを各比較器で比較し、傾斜を持って変化する基準電圧と信号電圧のレベルが一致したときにラッチパルスを得るものである。そしてこのラッチパルスにより、このパルス発生時のデジタルカウント値をラッチ回路でラッチし、デジタル変換出力とする。このように得られた各比較器からのデジタル値は、水平走査回路の制御に基づき、水平期間に順次読み出される。

【0004】ここで通常は、信号電圧を正確なものとするために、各比較器においては、比較を行う前に比較器の入力と出力側の直流レベルを同一にするための処理を行う。つまり、比較器の入出力端子間に並列に設けられたスイッチを一端閉じて、いわゆるクランプ処理を行い、各比較器間の入力オフセットばらつきを低減している。

【0005】しかしながらこのクランプ処理の際に比較器と並列に設けられた上記スイッチの制御端子と入出力端子間に存在する寄生容量のために、比較器の閾値電圧

とクランプ電圧に差異が生じる。

【0006】この差異は前記スイッチ製造ばらつきより影響を受け、結果的には各比較器の出力の直流レベルとの間でばらつきが生じる。このばらつきは、結果的には後段に設けられている各アナログデジタル変換器において得られたデジタル値のチャンネル間ばらつきとして現れることになる。

【0007】そこでこの発明は、同一水平ライン方向の複数の画素の各読み出し信号の間で、直流レベルのばらつきを生じないようにし、画質向上を得ることができる固体撮像素子を提供することを目的とする。

## 【0008】

【課題を解決するための手段】この発明は上記の目的を達成するために、複数のアナログデジタル変換器を有し、前記アナログデジタル変換器の出力を順次選択し、デジタル映像出力を得る固体撮像素子において、前記アナログデジタル変換器で使用する電圧比較部を複数段の増幅器で構成し、2 段目以降の増幅器をクランプ回路として機能させ、クランプ回路の直流再生特性ばらつきの影響を低減させるようにしたものである。

## 【0009】

【発明の実施の形態】以下、この発明の実施の形態を図面を参照して説明する。

【0010】図 1 には、固体撮像素子のアナログデジタル変換部を中心に示している。撮像部の 1 つの画素ブロック PB11 を代表してその構成を説明する。画素ブロック PB11 は、電源 400 と接地間に直列接続されたスイッチ 402 と受光素子 401 があり、スイッチ 402 と受光素子 401 の接続点には、増幅器 403 の入力端子が接続され、この増幅器 403 の出力端子はスイッチ 404 を介して信号導出ライン（垂直ライン）VL1 に接続されている。

【0011】画素ブロック PB11 を代表して説明したが、他の画素ブロック PB12 ~ PB<sub>m</sub>（m 水平方向画素番号、n 垂直方向画素番号）も同様な構成である。

【0012】画素ブロック PB11、PB12、…、PB1<sub>m</sub> は第 1 の水平ライン方向の画素列を示し、画素ブロック PB21、PB22、…、PB2<sub>m</sub> は第 2 の水平ライン方向の画素列を示す。各画素ブロック内は同じ構成であるから同一符号を付している。各画素ブロックの垂直方向の列は、それぞれ対応する信号導出ライン（垂直ライン）VL1 ~ VL<sub>m</sub> に接続されている。

【0013】垂直ライン VL1 ~ VL<sub>m</sub> は、それぞれアナログデジタル変換部の一部をなすノイズキャンセル（比較）部に導かれている。各ノイズキャンセル（比較）部の構成は同じ構成であるから、1 つのノイズキャンセル（比較）部 N1 の構成を代表して説明する。垂直ライン VL1 はコンデンサ C1 を介して電圧比較器 501 の一方の入力端子に接続されている。電圧比較器 501 のこの一方の入力端子と出力端子間にはスイッチ CP1 が接続されてい

る。電圧比較器501の他方の入力端子には、基準電圧発生器311からの基準電圧が供給される。電圧比較器501の出力端子は、コンデンサCQを介してインバータ(増幅器)502の入力端子に接続されている。このインバータ502の入力端子と出力端子間にはスイッチCP2が接続されている。増幅器502の出力端子は、対応するラッチ回路11-1の駆動パルス入力端子Gに接続されている。

【0014】上記の基準電圧発生器311の出力基準電圧は、各電圧比較器501に共通に与えられている。またノイズキャンセル(比較)部NR2に対応して、ラッチ回路11-2が設けられている。このラッチ回路11-2の駆動パルス入力端Gには、ノイズキャンセル(比較)部NR2の増幅器502の出力が供給されている。このようにノイズキャンセル(比較)部NR1~NRmに対応してラッチ回路11-1~11-mが設けられており、これらのラッチ回路11-1~11-mは、それぞれ対応するノイズキャンセル(比較)部のインバータの出力が反転した時点で、共通のカウンタ312のカウント値をラッチすることができる。このカウンタ312の出力は、基準電圧発生器311にも入力されている。

【0015】複数のノイズキャンセル(比較)部NR1~NRmに対して、基準電圧発生器311が共有されている。カウンタ312は、水平ドライブ信号HDの先頭でリセットされ、クロックCLOCKを計数している。この水平ドライブ信号HD及びクロックCLOCKは、タイミング発生器313にも供給されており、各種のスイッチ制御等のタイミング信号を生成している。

【0016】ラッチ回路11-1~11-mに対応して、ラッチ回路12-1~12-mが設けられている。これらは、対応するラッチ回路11-1~11-mにラッチされているデジタル値を、水平ドライブ信号HDのタイミングで一斉にラッチする。ラッチ回路12-1~12-mの出力端子は、走査スイッチ13-1~13-mにそれぞれ接続されている。これらの走査スイッチ13-1~13-mは、1水平期間に次々とオンして、1走査分の撮像信号のデジタル値を出力ライン70に導出する。

【0017】図2には、図1の固体撮像素子の要部の動作タイミングの波形図を示している。図2(a)は、第1の水平ラインにおける出力スイッチ404の動作波形、図2(b)は、第2の水平ラインにおける出力スイッチ404の動作波形である。図2(c)は、第1の水平ラインにおけるリセットスイッチ402の動作波形、図2(d)は、第2の水平ラインにおけるリセットスイッチ402の動作波形である。

【0018】図2(e)は、ノイズキャンセル(比較)部のスイッチCP1の動作波形図、図2(f)は、スイッチCP2の動作波形図である。

【0019】図2(g)、図2(h)は、それぞれノイズキャンセル(比較)部NR1とNR2の各比較器501の入力部の信号である。図の例では、第1の水平ラインの画素ブロックPB11からは出力sig1が存在し、画素ブロックPB12からは出力sig2(出力ゼロ)が存在する例を示している。

【0020】比較器501、増幅器502部ではクランプ処理が行われる。

【0021】クランプ処理のために、例えば図2の(e)、(f)のタイミングのように、スイッチCP1、CP2が一旦オンされた後、オフされる。ここで後段のスイッチCP2のオフタイミングは、スイッチCP1のオフタイミングより遅らせる。

【0022】図面では、スイッチCP1、CP2がオンになるタイミングが一致しているが、要は、後段のスイッチCP2のオフタイミングが、スイッチCP1のオフタイミングより遅れていればよい。よって、後段のスイッチCP2のオンのタイミングは、スイッチCP1のオフタイミングより遅れていても構わない。

【0023】このように電圧比較部を複数の増幅器で構成し、後段の増幅器にクランプ回路を設けると、スイッチCP1のばらつきによるチャンネル間のA/D変換特性のばらつきは、スイッチCP2のクランプ動作によりキャンセルされる。スイッチCP2のばらつきにより、チャンネル間のA/D変換特性にチャンネル間ばらつきが生じるが、入力信号レベルに対しては(1/A1)(A1は比較器501の増幅率)倍のばらつきであり、信号から見た場合、このばらつきは実質的にはなくなる。

【0024】またこの発明のノイズキャンセル部では、上記したように信号出力側で、チャンネル間の直流のばらつきを効果的に抑えることができるので、逆に撮像領域側のばらつきの許容範囲が大きくなって構わないと言える。このことは、製造面でも有利であり、歩留まりを高める上でも有利となる。

【0025】この発明は、上記した実施の形態に限定されるものではなく、各種の実施の形態が可能である。図3には、各種の変形例を示している。

【0026】図3(A)は、比較器501とコンデンサCQとの間に更に増幅器511を設けた例である。図3

(B)は、先の実施の形態に比べて、スイッチCP1と、増幅器511を省略した例である。また図3(C)の例う、図3(B)の実施の形態に比べて、増幅器502の後段に増幅器512を設けた例である。

【0027】この発明は上記の実施の形態に限定されるものではない。

【0028】図4にはこの発明の他の実施の形態における基本構成を示している。即ち、図4において、破線で囲む部分PBは、固体撮像素子の画素部であり、光電変換素子PDのカソードは、直列にリセットスイッチRD、読み出しスイッチRSを介して直流電源100に接続

されている。スイッチ素子RDとRSの接続点は、増幅素子Q1のゲートに接続されている。このスイッチ素子Q1の一方の電極は、直流電源100に接続され、他方の電極は、定電流源11を介して接地されている。

【0029】またこの他方の電極は、信号出力ノードとして引き出され、ノイズキャンセル(比較)部13に導かれている。ノイズキャンセル(比較)部13は、スイッチS1が入力ノードに設けられる。このスイッチS1の出力ノードは、コンデンサC11とC12の各一方の電極に接続されている。コンデンサC12の他方の電極に

は、スイッチS2を介して基準電圧発生回路14からの基準電圧が供給されるように構成される。コンデンサC12の他方の電極は、比較器A1とスイッチS3との並列回路に接続されている。更に比較器A1の出力は、コンデンサC13の一方の電極に接続されている。このコンデンサC13の他方の電極は、インバータA2とスイッチS4の並列回路を介してラッチ回路15のラッチパルス入力端に接続されている。

【0030】ラッチ回路15には、カウンタ16からのカウントデータが供給されている。また、このカウントデータは、基準電圧発生回路14にも供給されている。基準電圧発生回路14は、カウントデータの値に対応した振幅の電圧 $V_{saw}$ を出力する。タイミング回路17

は、各スイッチ素子をオンオフさせるためのタイミングパルスやカウンタ16のリセットパルス及びクロックを出力する回路である。

【0031】図5には、上記の回路の動作を説明するための波形を示している。

【0032】リセットパルス(図5(a))によりスイッチ素子RSがオンすると、増幅素子Q1のゲートを高電位にする。すると増幅素子Q1の出力電圧 $V_{sig}$ が高電位となり、次にスイッチRSがオフ、スイッチ素子S1がオンされ、更にスイッチS3がオンされ次にオフされる。スイッチS3がオンしたときには、出力電圧 $V_{sig}$ の電位 $V_a$ と $V_{th}$ の差電圧、つまり $(V_a - V_{th})$ がコンデンサC11に蓄えられる。 $V_{th}$ は、比較器A1の閾値電圧である。

【0033】次にスイッチS4をオンオフする。これにより、誤差として残っていた直流成分がコンデンサC13でクランプされる。

【0034】次に、スイッチS1のオン状態は維持し、スイッチRDをオンする。つまり光電変換素子(フォトダイオード)PDに蓄積されている信号電荷を増幅素子Q1のゲートに転送する。すると、増幅素子Q1の出力電圧 $V_{sig}$ は、信号電荷(光電変換量)に応じた電圧となる。ここでスイッチS2をオンする。すると、このときの出力電圧 $V_b$ と基準電圧 $V_{saw}$ との差電圧、つまり $(V_b - V_0)$ がコンデンサC12に蓄えられる。

【0035】次にスイッチS1がオフされ、スイッチS2のオン状態が維持され、基準電圧 $V_{saw}$ がカウンタ16

のカウンタ値に基づいて可変される。これにより基準電圧 $V_{saw}$ は、順次増加又は減少する。スイッチS1がオフした後は、スイッチS2のみのオン状態が維持される。

【0036】ここで、比較器A1の入力電圧 $V_{in}$ を見ると $V_{in} = V_{saw} + (V_b - V_0) - (V_a - V_{th})$ となる。この式を変形すると $V_{in} = V_{th} + (V_b - V_a) + (V_{saw} - V_0)$ となる。つまり比較器A1の入力電圧 $V_{in}$ は、閾値電圧 $V_{th}$ と、入力電圧を2時点でサンプリングした電圧の電位差 $(V_a - V_b)$ と、基準電圧の変化幅 $(V_{saw} - V_0)$ との和となる。ここで基準電圧の変化幅 $(V_{saw} - V_0)$ と、電位差 $(V_a - V_b)$ との和がゼロとなったときに、 $V_{in} = V_{th}$ (閾値電圧)となり、比較器A1の出力が反転することができる。

【0037】基準電圧の変化幅 $(V_{saw} - V_0)$ と、電位差 $(V_a - V_b)$ との和がゼロとなることは、 $(V_{saw} - V_0) + (V_a - V_b) = 0$ であり、 $(V_a - V_b) = -(V_{saw} - V_0)$ と表わせる。図5の(h)には基準電圧 $V_{saw}$ の変化の様子を示し、 $V_{saw} - V_0 = V_1$ が閾値 $V_{th}$ と等しくなった場合を示している。このときは、比較器A1の出力電圧 $V_{out}$ は、ハイレベル $V_H$ からローレベル $V_L$ に変化し、増幅器A2の出力がラッチ回路15にラッチ用のクロックとして供給される。

【0038】このとき、ラッチ回路15では、カウンタ16のカウント値をラッチする。このラッチ回路15のデジタル出力がアナログデジタル変換出力である。

【0039】上記のアナログデジタル変換器は増幅素子Q1の出力側の信号線に重畳される直流成分(雑音成分)に対しては感度を持たず、雑音低減回路として機能する。この実施の形態においても、先の図1の実施の形態と同様の効果を得ることができる。

【0040】

【発明の効果】以上説明したようにこの発明によれば、複数の画素の読み出し信号の間で、AD変換特性のばらつきの影響を低減し、画質向上を得ることができる。

【図面の簡単な説明】

【図1】 この発明の一実施の形態を示す図。

【図2】 図1の回路の動作を説明するために示したタイミング図。

【図3】 この発明の他の実施の形態における要部を示す図。

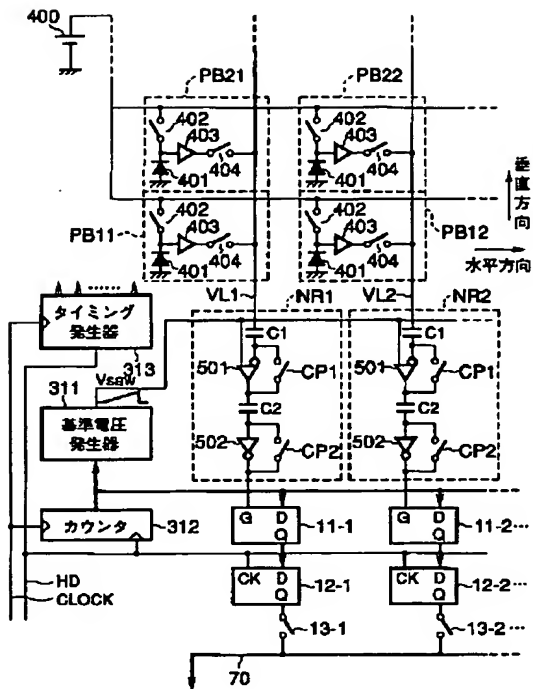
【図4】 この発明のさらに他の実施の形態を示す図。

【図5】 図4の回路の動作を説明するために示したタイミング図。

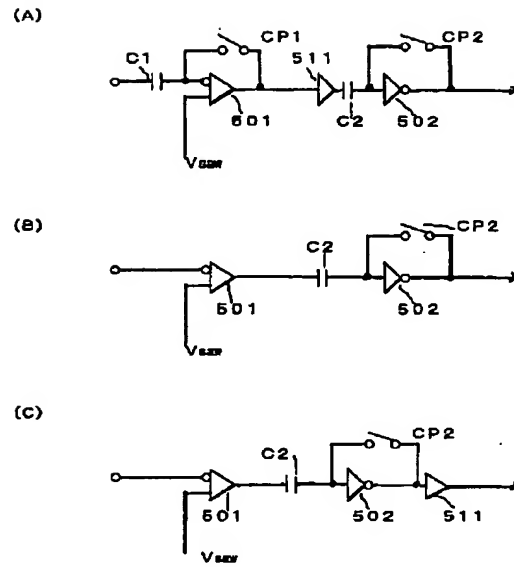
【符号の説明】

400…電源、401…受光素子、402…スイッチ、403…増幅器、404…スイッチ、PB11~PBnm…画素ブロック、501…比較器、502…増幅器、C1,C2…コンデンサ。

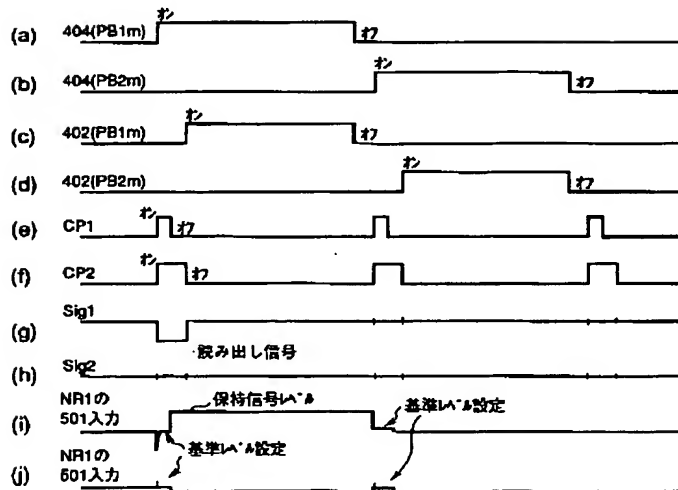
【図1】



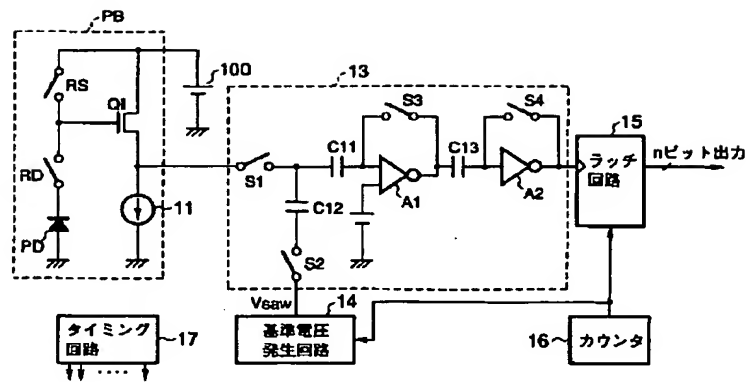
【図3】



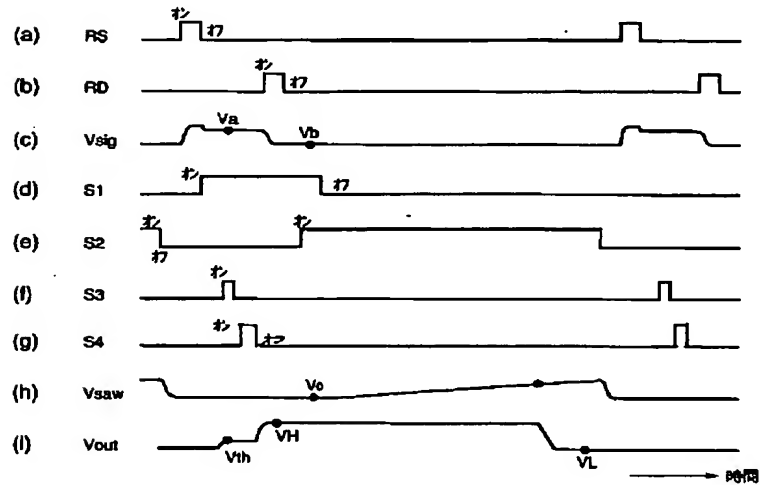
【図2】



【圖 4】



【図5】



フロントページの続き

Fターム(参考)	4M18	AA06	AA10	AB01	BA14	CA02
		DD09	FA06	FA50		
	5B047	BB02	BC01	CA06	CB17	DB01
	5C024	AA01	CA13	CA14	FA01	GA11
		HA14	HA18			
	5C051	AA01	BA03	DA03	DB01	DB08
		DB15	DC03	DC07	DE02	DE13
	DE15	DE16	DE17			